

## CONTACT-FREE INTEGRATED CIRCUIT COMPRISING AUTOMATIC FRAME IDENTIFICATION MEANS

**Patent number:** WO03036561

**Publication date:** 2003-05-01

**Inventor:** ALLARD CLAIRE (FR); MARTIN MICHEL (FR);  
CHARRAT BRUNO (FR)

**Applicant:** INSIDE TECHNOLOGIES (FR); ALLARD CLAIRE (FR);  
MARTIN MICHEL (FR); CHARRAT BRUNO (FR)

**Classification:**

**- International:** **G06K19/07; G06K19/07; (IPC1-7): G06K19/07**

- european: G06K19/07T

**Application number:** WO2002FR03562 20021017

**Priority number(s):** FR20010013773 20011023

**Also published as:**

EP1438695 (A1)

US2004213169 (A1)

FR2831305 (A1)

EP1438695 (B1)

**Cited documents:**



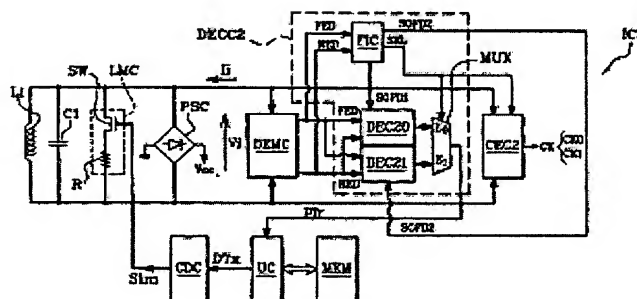
WO0045328

FR2751148

**Report a data error here**

## Abstract of WO03036561

The invention concerns a contact-free integrated circuit (IC1) comprising data transmission/reception means by inductive coupling, means (DECC2) for communicating in accordance with two specific protocols, and means (FIC, SOFD1, SOFD2) for automatically switching in a communication mode in conformity with one or the other of the protocols on the basis of a received frame start at the beginning of a communication. The invention is useful in particular for producing an integrated circuit compatible with ISO/IEC 15693 and ISO/IEC 14443-B standards.



Data supplied from the **esp@cenet** database - Worldwide

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
1 mai 2003 (01.05.2003)

PCT

(10) Numéro de publication internationale  
**WO 03/036561 A1**

(51) Classification internationale des brevets<sup>7</sup> :  
**G06K 19/07**

(71) Déposant (pour tous les États désignés sauf US) : **INSIDE  
TECHNOLOGIES** [FR/FR]; Pépinière Axone, F-69930  
Saint Clément les Places (FR).

(21) Numéro de la demande internationale :  
PCT/FR02/03562

(72) Inventeurs; et  
(75) Inventeurs/Déposants (pour US seulement) : **ALLARD,  
Claire** [FR/FR]; RN7, Les Bannettes, F-13790 Rousset  
(FR). **MARTIN, Michel** [FR/FR]; 864, chemin des  
Garrigues, F-13840 Rognes (FR). **CHARRAT, Bruno**  
[FR/FR]; 2 Lot des Marronniers, 405, avenue des Siffleuses,  
F-13090 Aix en Provence (FR).

(22) Date de dépôt international :  
17 octobre 2002 (17.10.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

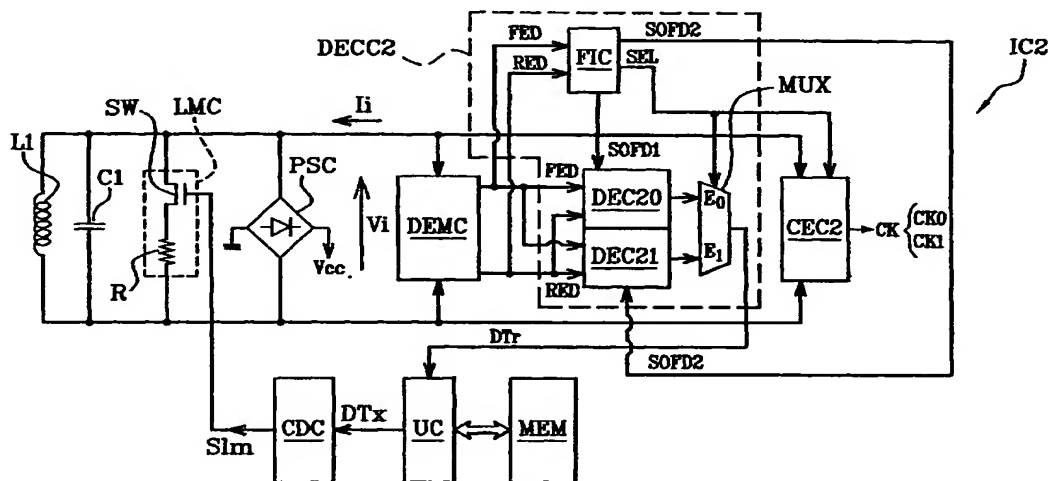
(30) Données relatives à la priorité :  
01/13773 23 octobre 2001 (23.10.2001) FR

(74) Mandataire : **MARCHAND, André**; Omnipat, 24, place  
des Martyrs de la Résistance, F-13100 Aix en Provence  
(FR).

[Suite sur la page suivante]

(54) Title: CONTACT-FREE INTEGRATED CIRCUIT COMPRISING AUTOMATIC FRAME IDENTIFICATION MEANS

(54) Titre : CIRCUIT INTEGRE SANS CONTACT COMPRENANT DES MOYENS D'IDENTIFICATION AUTOMATIQUE DE  
TRAME



(57) Abstract: The invention concerns a contact-free integrated circuit (IC1) comprising data transmission/reception means by inductive coupling, means (DECC2) for communicating in accordance with two specific protocols, and means (FIC, SOFD1, SOFD2) for automatically switching in a communication mode in conformity with one or the other of the protocols on the basis of a received frame start at the beginning of a communication. The invention is useful in particular for producing an integrated circuit compatible with ISO/IEC 15693 and ISO/IEC 14443-B standards.

(57) Abrégé : La présente invention concerne un circuit intégré sans contact (IC1) comprenant des moyens d'émission/réception de données par couplage inductif, des moyens (DECC2) pour assurer une communication selon au moins deux protocoles déterminés, et des moyens (FIC, SOFD1, SOFD2) pour basculer automatiquement dans un mode de communication conforme à l'un ou l'autre des protocoles en fonction du profil d'un début de

[Suite sur la page suivante]



(81) États désignés (*national*) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publiée :**

— avec rapport de recherche internationale

(84) États désignés (*régional*) : brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

CIRCUIT INTEGRE SANS CONTACT COMPRENANT DES MOYENS  
D'IDENTIFICATION AUTOMATIQUE DE TRAME

La présente invention concerne les circuits intégrés sans contact comprenant des moyens d'émission/réception de données par couplage inductif.

La présente invention concerne notamment mais non  
5 exclusivement les circuits intégrés sans contact prévus pour recevoir des données codées conformément à la norme ISO/IEC 15693 ou la norme ISO/IEC 14443-B.

Ces dernières années, les circuits intégrés sans contact ont connu un important développement et les  
10 méthodes de transmissions de données par couplage inductif, mises en œuvre par de tels circuits intégrés, font aujourd'hui l'objet de divers protocoles, dont certains sont normalisés.

La figure 1 représente sous forme de blocs une  
15 architecture classique de circuit intégré sans contact IC1. Le circuit intégré IC1 comprend une bobine d'antenne L1 accompagnée d'un condensateur C1 en parallèle pour former un circuit d'antenne résonant, ces éléments pouvant être externes à la plaquette de silicium du  
20 circuit intégré, un circuit redresseur PSC et un circuit d'extraction d'horloge CEC1, tous deux connectés à la bobine L1.

Lorsque le circuit intégré se trouve plongé dans un champ magnétique oscillant émis par un lecteur de circuit  
25 intégré sans contact (non représenté), une tension alternative induite  $V_i$  apparaît aux bornes de la bobine L1. Le circuit PSC délivre, à partir de la tension induite  $V_i$ , une tension d'alimentation  $V_{cc}$  du circuit

intégré, et le circuit CEC1 délivre le signal d'horloge CK du circuit intégré, dont la fréquence est généralement un sous-multiple de la porteuse du champ magnétique.

La réception de données par le circuit intégré IC1  
5 est assuré par un circuit démodulateur DEMC connecté à la bobine L1, et par un circuit de décodage DECC1. Le circuit DEMC démodule la tension Vi par extraction de son enveloppe et suppression de la porteuse, et délivre un signal démodulé Sd contenant des données codées selon un  
10 protocole déterminé. Le signal Sd est appliqué à l'entrée du circuit de décodage DECC1 dont la sortie délivre des données binaires DTr. Les données DTr sont envoyées à l'organe central du circuit intégré, par exemple une unité centrale UC équipée d'une mémoire MEM.

15 L'émission de données par le circuit intégré est assurée par un circuit de codage CDC dont la sortie attaque un circuit de modulation de charge LMC connecté aux bornes de la bobine L1. Le circuit LMC comprend par exemple un interrupteur SW en série avec une résistance  
20 R. Des données à transmettre DTx, délivrées par l'unité centrale ou lues directement dans la mémoire MEM, sont appliquées au circuit de codage CDC, dont la sortie délivre un signal de modulation de charge S1m codé selon un protocole déterminé, appliqué sur l'entrée de commande  
25 de l'interrupteur SW (par exemple la grille d'un transistor). Chaque fermeture de l'interrupteur SW provoque un court-circuit d'antenne entraînant un affaiblissement du champ magnétique ambiant, qui est détecté par le lecteur de circuit intégré sans contact et  
30 permet à ce dernier de décoder les données envoyées par le circuit intégré IC1.

Comme on l'a indiqué ci-dessus, les circuits intégrés sans contact font l'objet de divers protocoles, qui définissent les caractéristiques des signaux  
35 intervenant dans une communication, ainsi que le codage

des données. Les différences structurelles entre deux circuits intégrés sans contact prévus pour répondre à deux protocoles différents interviennent essentiellement au niveau du circuit de décodage DECC1 et du circuit de  
5 codage CDC représentés sur la figure 1.

A titre d'exemple, la norme ISO/IEC 15693 prévoit un codage par modulation de position d'impulsion des données envoyées à un circuit intégré sans contact, et un début de trame SOF1 dont le profil est représenté en  
10 figure 2A, tandis que la norme ISO/IEC 14443-B prévoit un codage NRZ des données envoyées à un circuit intégré sans contact, et un début de trame SOF2 dont le profil est représenté en figure 2B.

En pratique, la prévision de ces divers protocoles  
15 est justifiée par des raisons techniques, chaque protocole étant prévu pour l'obtention de performances déterminées dans une catégorie déterminée d'applications. Ainsi par exemple, le protocole ISO/IEC 15693 convient aux applications nécessitant une distance de  
20 communication assez élevée et un débit de données assez faible, tandis que le protocole ISO/IEC 14443-B convient aux applications nécessitant une faible distance de communication et un débit de données plus élevé.

A chaque protocole correspond un type de circuit  
25 intégré sans contact bien défini, qui se distingue notamment des autres circuits intégrés sans contact par ses circuits de codage et de décodage, le circuit de décodage comprenant notamment des moyens de reconnaissance d'un début de trame tel que prévu par le  
30 protocole.

La présente invention repose sur la constatation selon laquelle la multiplication des protocoles complique la fabrication des circuits intégrés sans contact et conduit à une diversification des modèles de circuits  
35 intégrés proposés à la clientèle industrielle, laquelle

approvisionne des circuits intégrés sans contact pour réaliser des badges électroniques, des cartes à puce sans contact ou autres objets électroniques portatifs sans contact.

5        La présente invention repose également sur la constatation selon laquelle, dans une même application, tel protocole peut s'avérer parfois meilleur que tel autre protocole, ou réciproquement, en fonction des conditions de fonctionnement du circuit intégré. Ainsi,  
10 par exemple, on peut souhaiter qu'un badge électronique équipé d'un circuit intégré sans contact présente dans certains cas un débit de données élevé au détriment de la distance de communication, et dans d'autres cas une distance de communication élevée au détriment du débit de  
15 données.

Ainsi, une première idée de la présente invention est de prévoir un circuit intégré sans contact "multiprotocole" et de type "configurable", c'est-à-dire capable d'assurer une communication selon au moins deux  
20 protocoles différents selon la configuration qui lui est appliquée.

Toutefois, la prévision d'un circuit intégré "configurable" implique que le circuit intégré doit être configuré avant sa mise en service, afin de déterminer  
25 son mode de fonctionnement. Or, une telle étape de configuration implique une opération de manutention supplémentaire et n'est donc pas souhaitable. En outre, comme on l'a indiqué plus haut, un premier protocole peut s'avérer parfois meilleur qu'un deuxième protocole ou  
30 réciproquement selon les conditions de fonctionnement du circuit intégré au sein d'une même application.

Ainsi, un objectif de la présente invention est de prévoir un circuit intégré sans contact qui permette de réduire le nombre de modèles proposés à la clientèle  
35 industrielle tout en étant d'un emploi facile.

Cet objectif est atteint par la prévision d'un circuit intégré sans contact comprenant des moyens d'émission/réception de données par couplage inductif, des moyens pour assurer une communication selon au moins  
5 deux protocoles déterminés, et des moyens pour basculer automatiquement dans un mode de communication conforme à l'un ou l'autre des protocoles en fonction du profil d'un début de trame reçu au commencement d'une communication.

Selon un mode de réalisation, le circuit intégré  
10 comprend une première unité de décodage pour décoder des données codées selon un premier protocole, au moins une seconde unité de décodage pour décoder des données codées selon au moins un second protocole, et des moyens de sélection de la première ou de la seconde unité de  
15 décodage en fonction du profil d'un début de trame reçu au commencement d'une communication.

Selon un mode de réalisation, le circuit intégré comprend des moyens de détection d'un début de trame d'un premier type correspondant au premier protocole, agencés  
20 pour délivrer un premier signal de détection de début de trame lorsqu'un début de trame du premier type est détecté, et des moyens de détection d'un début de trame d'un second type correspondant au second protocole, agencés pour délivrer un second signal de détection de  
25 début de trame lorsqu'un début de trame du second type est détecté.

Selon un mode de réalisation, les moyens de détection d'un début de trame du premier type sont agencés pour détecter un premier front de variation du  
30 signal reçu par couplage inductif, puis détecter dans une première fenêtre temporelle un second front de variation du signal reçu par couplage inductif, et les moyens de détection d'un début de trame du second type sont agencés pour détecter un premier front de variation du signal  
35 reçu par couplage inductif, puis détecter dans une



seconde fenêtre temporelle un second front de variation du signal reçu par couplage inductif.

Selon un mode de réalisation, les moyens de détection d'un début de trame du premier type sont agencés pour détecter deux fronts de variation d'un même type, et les moyens de détection d'un début de trame du second type sont agencés pour détecter un front de variation d'un premier type et un front de variation d'un second type inverse du premier type.

10 Selon un mode de réalisation, le circuit intégré comprend des moyens pour inhiber les moyens de détection d'un début de trame du premier type, lorsqu'un temps déterminé se situant entre la première et la seconde fenêtres temporelles s'est écoulé après apparition d'un premier front de variation du signal reçu par couplage inductif.

Selon un mode de réalisation, le circuit intégré comprend des moyens pour inhiber les moyens de détection d'un début de trame du second type lorsqu'un début de trame du premier type est détecté.

20 Selon un mode de réalisation, le circuit intégré comprend un circuit d'identification de début de trame commun aux première et seconde unités de décodage, dans lequel sont agencés les moyens de détection d'un début de trame du premier type et les moyens de détection d'un début de trame du second type.

Selon un mode de réalisation, la première unité de décodage comprend les moyens pour détecter un début de trame du premier type, et la seconde unité de décodage comprend les moyens pour détecter un début de trame d'un second type.

30 Selon un mode de réalisation, les moyens de sélection comprennent des moyens de désactivation de la seconde unité de décodage ou de désactivation de la première unité de décodage.

Selon un mode de réalisation, les moyens de sélection comprennent un moyen de multiplexage des sorties des unités de décodage.

5 Selon un mode de réalisation, le moyen de multiplexage est agencé pour sélectionner par défaut la sortie de la première unité de décodage et pour sélectionner la sortie de la seconde unité de décodage lorsqu'un début de trame correspondant au protocole de la deuxième unité de décodage est reçu.

10 Selon un mode de réalisation, le moyen de multiplexage comprend une entrée de sélection pilotée par un signal de détection de début de trame.

Selon un mode de réalisation, le circuit intégré comprend un circuit extracteur d'horloge agencé pour  
15 délivrer un premier signal d'horloge de fréquence déterminée lorsque le circuit intégré est dans un mode de communication conforme à un premier protocole, et délivrer un second signal d'horloge d'une fréquence différente de celle du premier signal d'horloge, lorsque  
20 le circuit intégré est dans un mode de communication conforme à un second protocole.

Selon un mode de réalisation, le circuit intégré comprend des moyens de communication selon au moins le protocole ISO/IEC 15693 et le protocole ISO/IEC 14443-B,  
25 et des moyens pour basculer automatiquement dans un mode de communication conforme à l'un ou l'autre de ces protocoles en fonction du profil d'un début de trame reçu au commencement d'une communication.

Ces objets, caractéristiques et avantages ainsi que  
30 d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de réalisation d'un circuit intégré selon l'invention, et de variantes de réalisation de ce circuit intégré, faite à titre non limitatif en relation avec les figures jointes  
35 parmi lesquelles :

- la figure 1 précédemment décrite est le schéma-bloc d'un circuit intégré sans contact classique,
  - les figures 2A, 2B représentent deux profils de début de trame classiques,
  - 5 - la figure 3 est le schéma-bloc d'un circuit intégré sans contact selon l'invention,
  - la figure 4 est le schéma logique d'un circuit d'identification de début de trame selon l'invention, représenté sous forme de blocs en figure 3,
  - 10 - la figure 5A représente un profil de début de trame conforme à celui représenté en figure 2A,
  - les figures 5B à 5F représentent divers signaux logiques apparaissant dans le circuit représenté en figure 4 lors de la réception du début de trame
  - 15 représenté en figure 5A,
  - la figure 6A représente un profil de début de trame conforme à celui représenté en figure 2B,
  - les figures 6B à 6H représentent divers signaux logiques apparaissant dans le circuit représenté en
  - 20 figure 4 lors de la réception du début de trame représenté en figure 6A, et
  - la figure 7 illustre une variante de réalisation de certains éléments du circuit intégré sans contact de la figure 3.
- 25 La figure 3 représente sous forme de blocs un circuit intégré sans contact IC2 selon l'invention. Le circuit intégré IC2 présente une architecture générale en soi classique et comprend un circuit d'antenne comportant une bobine L1 et un condensateur C1, un circuit
- 30 redresseur PSC connecté aux bornes de la bobine et délivrant une tension d'alimentation Vcc, un circuit d'extraction d'horloge CEC2 connecté aux bornes de la bobine et délivrant un signal d'horloge CK. Un circuit
- 35 démodulateur DEMC connecté aux bornes de la bobine L1 délivre un signal démodulé formé par deux signaux FED,

RED. Ces signaux sont appliqués à un circuit de décodage DECC2, dont la sortie délivre des données DTr reçues par couplage inductif. Les données DTr sont appliquées à un organe central du circuit intégré, comprenant par exemple  
5 une unité centrale UC à logique câblée ou à microprocesseur, et une mémoire MEM. Enfin, un circuit de codage CDC relié à l'unité centrale UC reçoit des données DTx à émettre, et délivre un signal de modulation de charge SIm à un circuit de modulation de charge LMC qui  
10 est connecté aux bornes de la bobine L1.

Le circuit DEMC est de type classique et assure une démodulation d'une tension induite Vi apparaissant aux bornes de la bobine L1 en présence d'un champ magnétique oscillant émis par un lecteur de circuit intégré sans  
15 contact. Cette tension Vi présente une oscillation primaire correspondant à la porteuse du champ magnétique (généralement 13,56 MHz) et présente également, lorsque des données sont envoyées par le lecteur, une modulation d'amplitude (ou modulation d'enveloppe) qui est l'image  
20 de la modulation d'amplitude appliquée par le lecteur au champ magnétique ambiant, et qui est détectée par le circuit DEMC. Il est également possible de procéder à une démodulation d'un courant induit Ii traversant la bobine L1, au lieu d'une démodulation de la tension Vi.

25 Le signal FED délivré par le circuit DEMC est un signal de détection de front descendant qui présente ici une impulsion à 1 lorsqu'un front descendant de modulation d'amplitude apparaît dans le champ magnétique ambiant. Le signal RED est un signal de détection de  
30 front montant qui présente ici une impulsion à 1 lorsqu'un front montant de modulation d'amplitude apparaît dans le champ magnétique ambiant. Les impulsions délivrées par le circuit DEMC sont par exemple d'une

durée de 1 etu, un etu étant une unité élémentaire de temps ("elementary time unit") valant 9,44  $\mu$ s.

Le circuit intégré IC2 se distingue d'un circuit intégré classique en ce que le circuit de décodage DECC2  
5 est un circuit de décodage "biprotocole" comprenant deux unités de décodage distinctes DEC20 et DEC21, recevant chacune en entrée les signaux FED et RED. L'unité DEC20 est prévue pour le décodage de données codées conformément à un premier protocole, et l'unité DEC21 est  
10 prévue pour le décodage de données codées conformément à un second protocole. Les sorties des unités de décodage DEC20, DEC21 sont appliquées respectivement sur les entrées E0 et E1 d'un multiplexeur MUX, dont la sortie forme la sortie de circuit de décodage DECC2.

15 Selon l'invention, le circuit de décodage DECC2 est agencé pour identifier automatiquement le protocole utilisé au début d'une communication, et pour sélectionner l'unité de décodage DEC20 ou DEC21 convenant au protocole identifié. Selon l'invention toujours,  
20 l'identification du protocole est assurée par une analyse du profil d'un début de trame (SOF) reçu au commencement d'une communication.

Dans le mode de réalisation représenté en figure 3, l'identification automatique de protocole est assurée par  
25 un circuit d'identification de début de trame FIC selon l'invention, présent dans le circuit de décodage DECC2. Le circuit FIC reçoit en entrée les signaux FED et RED et délivre des signaux SOFD1, SOFD2 et SEL. Le signal SOFD1 est un signal de détection de début de trame selon le  
30 premier protocole et est appliqué à l'unité de décodage DEC20. Le signal SOFD2 est un signal de détection de début de trame selon le second protocole et est appliqué à l'unité de décodage DEC21. Le signal SEL est appliqué sur l'entrée de sélection du multiplexeur MUX, et sa

valeur détermine l'entrée E0 ou E1 qui est sélectionnée à la sortie du multiplexeur.

Dans ce qui suit, on décrira un exemple de réalisation du circuit FIC en relation avec les protocoles normalisés ISO/IEC 15693 et ISO/IEC 14443-B, auxquels on se réfère ici à titre d'exemple non limitatif de mise en œuvre de la présente invention.

Dans le cadre d'une telle mise en œuvre de l'invention, l'unité DEC20 assure le décodage de données codées conformément au protocole ISO/IEC 15693 et l'unité DEC21 assure le décodage de données codées conformément au protocole ISO/IEC 14443-B. Dans un souci de simplicité, on ne décrira pas l'architecture des unités de décodage DEC20, DEC21, qui est en soi classique et à la portée de l'homme de l'art. Pour mémoire, le codage de données selon ISO/IEC 15693 est un codage par paires de bits par position d'impulsion, une impulsion étant formée par des trous de champ d'une durée de 1 etu pouvant occuper quatre positions dans des segments temporels de 8 etu. Ce protocole offre un débit de données assez faible de l'ordre de 26 k bit/s mais une distance de communication assez élevée de l'ordre de 40 à 50 cm. D'autre part, le codage de données codées conformément au protocole ISO/IEC 14443-B est un codage bit par bit de type NRZ, offrant un débit de donnée plus élevé de l'ordre de 106 kbit/s et une distance de communication plus faible de l'ordre de 20 à 25 cm.

Le profil de début de trame SOF1 selon le protocole ISO/IEC 15693, représenté en figure 2A, présente deux trous de champ d'une largeur de 1 etu compris chacun dans un demi-segment temporel de 4 etu. Le début de trame SOF1 est ainsi d'une durée de 8 etu et est suivi de données DATA codées par paire. Il présente deux fronts descendants FE1, FE2 correspondant aux deux trous de champ, signalés par des impulsions du signal FED délivré

par le démodulateur DEMC. Le premier front descendant FE1 est le point de départ du début de trame SOF1 et s'inscrit dans le premier demi-segment temporel. Le second front descendant FE2 s'inscrit dans le second  
5 demi-segment temporel et apparaît 1 etu après le commencement du second demi-segment.

Ainsi, la détection du début de trame SOF1 par le circuit FIC comprend ici la détection du premier front descendant FE1, puis la détection du second front  
10 descendant FE2 dans une fenêtre temporelle délimitée par des temps T1 et T2 calculés à compter du premier front descendant FE1. Le temps T1 est par exemple égal à 4 etu, soit le commencement du second demi-segment temporel, et le temps T2 égal à 7 etu, soit 3 etu après le  
15 commencement du second demi-segment temporel.

Le profil de début de trame SOF2 prévu par le protocole ISO/IEC 14443-B, représenté en figure 2B, présente un seul trou de champ d'une durée de 10 à 11 etu. Ce trou de champ est suivi d'un palier sans  
20 modulation d'amplitude d'une durée de 2 à 3 etu. Le début de trame SOF2 est ainsi d'une durée de 12 à 14 etu et est suivi d'un bit de start STB puis de données DATA codées NRZ. Il présente un front descendant FE1 apparaissant au commencement du trou de champ et un front montant RE1  
25 correspondant à la fin du trou de champ, le front descendant FE1 étant signalé par une impulsion du signal FED et le front montant RE1 signalé par une impulsion du signal RED.

Ainsi, la détection du début de trame SOF2 par le  
30 circuit FIC comprend ici la détection du front descendant FE1 et la détection du front montant RE1 dans une fenêtre temporelle délimitée par des temps T3 et T4 calculés à compter du front descendant FE1, T3 et T4 étant supérieurs à T2. Le temps T3 est par exemple égal à 10  
35 etu et le temps T4 égal à 13 etu.

Il est clair qu'en pratique, le choix de T1, T2, T3 et T4 n'est pas figé et dépend du degré de tolérance que l'on souhaite conférer au circuit d'identification de début de trame FIC.

5        Selon un aspect de l'invention, on définit également un temps de transition Tch calculé à compter du front descendant FE1, qui correspond à la durée totale du début de trame SOF1. Le temps Tch est ainsi compris entre T2 et T3 et est par exemple égal à 8 etu. Lorsque le  
10        temps Tch est atteint et qu'un début de trame SOF1 n'a pas été détecté, le circuit FIC cherche uniquement à détecter un début de trame SOF2, comme on le verra ci-après à la lumière d'un exemple de réalisation du circuit FIC.

15        La figure 4 est le schéma logique d'un mode de réalisation du circuit FIC, réalisé exclusivement en logique câblée d'une manière simple et peu encombrante en termes de surface de silicium occupée, et conçu pour l'identification automatique des débuts de trames SOF1 et  
20        SOF2 selon le procédé qui vient d'être décrit. Le circuit FIC comprend un compteur CMPT et trois circuits de décodage BT1, BT2, BT3 assurant la détection des temps T1, T2, Tch, T3, T4 à partir d'une valeur de comptage délivrée par le compteur. Le compteur CMPT reçoit sur son  
25        entrée de comptage, par l'intermédiaire d'une porte A1 de type ET, le signal d'horloge CK délivré par le circuit CEC1 (fig. 3). L'entrée RESET du compteur CMPT reçoit un signal RST de remise à zéro générale appliqué à divers autres éléments du circuit FIC. Les circuits BT1, BT2,  
30        BT3 sont connectés à la sortie du compteur CMPT et délivrent respectivement des signaux W1, STC, W2. Le signal W1 est mis à 1 par le circuit BT1 lorsque la sortie du compteur est comprise entre deux valeurs "VAL1" et "VAL2" correspondant respectivement aux temps T1 et  
35        T2. Le signal STC est mis à 1 par le circuit BT2 lorsque



la sortie du compteur est égale à une valeur "VALC" correspondant au temps Tch. Le signal W2 est mis à 1 par le circuit BT3 lorsque la sortie du compteur est comprise entre deux valeurs "VAL3" et "VAL4" correspondant  
5 respectivement aux temps T3, T4.

Le circuit FIC représenté en figure 4 comprend également deux verrous LT1, LT2, LT3 présentant chacun des entrées SET, RESET et une sortie Q, trois bascules D synchrones D1, D2, D3 présentant chacune une entrée D,  
10 une entrée de déclenchement CLK et une sortie Q, des portes A2, A3, A4 de type ET, des portes O1, O2, O3 de type OU, et des portes inverseuses I1, I2.

Le verrou LT1 reçoit sur son entrée SET le signal FED délivré par le démodulateur DEMC (fig. 3) et reçoit  
15 sur son entrée RESET la sortie de la porte O1, laquelle reçoit en entrée le signal RST et un signal MODE2. La sortie Q du verrou LT1 délivre un signal FED1 qui est appliqué sur une deuxième entrée de la porte A1 ainsi que sur une entrée de la porte A2 et sur une entrée de la  
20 porte A3. La porte A2 reçoit sur une deuxième entrée le signal W1 et sa sortie est connectée à une entrée de la porte O2 dont la sortie est appliquée sur l'entrée D de la bascule D1. La bascule D1 reçoit sur son entrée CLK le signal FED et sa sortie Q est appliquée sur l'entrée D de  
25 la bascule D2. La bascule D2 reçoit sur son entrée CLK le signal FED inversé, délivré par la porte I1, et délivre sur la sortie Q le signal SOFD1, qui est renvoyé sur une deuxième entrée de la porte O2.

La porte A3 reçoit sur une deuxième entrée le  
30 signal STC et sur une troisième entrée le signal SOFD1 inversé, délivré par la porte I2. La sortie de la porte A3 est appliquée sur l'entrée D de la bascule D3 dont l'entrée CLK reçoit le signal d'horloge CK et dont la sortie Q délivre un signal SETMODE2. Le signal SETMODE2  
35 est appliqué sur l'entrée SET du verrou LT2 dont l'entrée

RESET reçoit le signal RST et dont la sortie Q délivre le signal MODE2.

Le signal MODE2 est appliqué sur une entrée de la porte A4, laquelle reçoit sur une deuxième entrée le signal W2 et sur une troisième entrée le signal RED  
5 délivré par le démodulateur DEMC (fig. 3). La sortie de la porte A4 est appliquée sur l'entrée SET du verrou LT3 dont l'entrée RESET reçoit la sortie de la porte O3. Cette dernière reçoit sur ses entrées le signal RST et le  
10 signal SOFD1. La sortie Q du verrou LT3 délivre les signaux SOFD2 et SEL, qui sont ici identiques.

Le fonctionnement du circuit FIC lors de la réception d'un début de trame SOF1 est illustré sur les figures 5A à 5C, qui représentent respectivement le  
15 profil du début de trame SOF1 et les signaux FED, FED1, W1, SOFD1, SOFD2/SEL. A un instant T0, et après remise à zéro de l'ensemble du circuit FIC au moyen du signal RST, un premier trou de champ apparaît (fig. 5A). Le signal FED présente une impulsion à 1 (fig. 5B) qui fait passer  
20 à 1 le signal FED1 (fig. 5C) à la sortie du verrou LT1. Lorsque le temps T1 est atteint et que le compteur se trouve dans une plage de comptage correspondant à l'intervalle T1-T2, le signal W1 passe à 1 (fig. 5D), la sortie de la porte A2 passe à 1 et l'entrée D de la  
25 bascule D1 est mise à 1. Lorsque le deuxième trou de champ apparaît dans l'intervalle T1-T2, le signal FED présente à nouveau une impulsion à 1 (fig. 5B). La sortie Q de la bascule D1 passe à 1 sur front montant de l'impulsion FED et la sortie Q de la bascule D2 passe à 1  
30 sur front descendant de l'impulsion FED (signal SOFD1, fig. 5E). Le passage à 1 du signal SOFD1 inhibe la porte A3, de sorte que le reste du circuit FIC reste bloqué. Le signal SOFD2 ne donc peut plus passer à 1 et reste égal à 0 (fig. 5F).

Le fonctionnement du circuit FIC lors de la réception d'un début de trame SOF2 est illustré sur les figures 6A à 6H, qui représentent respectivement le profil du début de trame SOF2 et les signaux FED, FED1, 5 STC, MODE2, W2, RED, SOFD2/SEL. A l'instant T0, un premier trou de champ apparaît (fig. 6A) et le signal FED présente une impulsion à 1 (fig. 6B) qui fait passer à 1 le signal FED1 (fig. 6C) à la sortie du verrou LT1. Lorsque le temps Tch est atteint, le signal STC passe à 1 10 en sortie du circuit BT2 (fig. 6D). La sortie de la porte A3 passe à 1, la sortie de la bascule D3 passe à 1 (signal SETMODE2) et le signal MODE2 passe à 1 (fig. 6E). Le passage à 1 du signal MODE2 remet à zéro le verrou LT1 de sorte que le signal FED1 repasse à 0 (fig. 6C), ce qui 15 inhibe la partie du circuit FIC affectée à la détection du début de trame SOF1, cette partie comprenant les portes A1 et les bascules D1, D2. Ainsi, le signal SOFD1 reste à 0 en sortie de la bascule D2.

Lorsque le temps T3 est atteint et que le compteur 20 se trouve dans une plage de comptage correspondant à l'intervalle T3-T4, le signal W2 passe à 1 (fig. 6F). A la fin du trou de champ, un front montant apparaît dans l'enveloppe du champ magnétique (fig. 6A) entre les instants T3, T4 et le signal RED présente une impulsion à 25 1 (fig. 6G), le signal W2 en sortie du circuit BT3 étant toujours à 1. Le signal MODE2 étant maintenu à 1 (fig. 6E) par le verrou LT2, la sortie de la porte A4 passe à 1 et le signal SOFD2/SEL en sortie du verrou LT3 passe également à 1 (fig. 6H).

30 En résumé, après détection du premier front descendant FE1, le signal SOFD1 passe à 1 si et seulement si le deuxième front descendant FE2 est détecté entre les instants T1 et T2, ou le signal SOFD2 passe à 1 si et seulement si un front montant RE1 est détecté entre les 35 instants T3 et T4. De plus, le signal SOFD2 est

verrouillé à 0 quand le signal SOFD1 passe à 1 et le signal SOFD1 est verrouillé à 0 à partir de l'instant Tch, quand le signal MODE2 passe à 1. Le passage à 1 du signal MODE2 signale que le circuit intégré est susceptible de basculer dans un mode de fonctionnement correspondant à une communication conforme au protocole ISO/IEC 14443-B, ce mode de fonctionnement n'étant validé et confirmé qu'à compter de l'instant où le signal SOFD2 passe à 1.

Les trous de champ selon la norme ISO/IEC 15693 correspondant à une modulation à 10% ou à 100% de l'amplitude du champ magnétique, ils sont accompagnés d'une extinction totale du signal d'horloge CK dans le cas d'une modulation à 100%, due à la disparition de la porteuse. Un mode de réalisation avantageux de l'invention consiste à prévoir une remise à zéro du compteur CMPT et un arrêt forcé de l'horloge CK après chaque front descendant, quelle que soit la profondeur de modulation de l'amplitude du champ magnétique. De cette manière, on ne fait pas la distinction entre une modulation à 10% et une modulation à 100% et le circuit FIC présente un fonctionnement constant et homogène quelle que soit la profondeur de modulation. Cette caractéristique est obtenue simplement dans le mode de réalisation de la figure 4 en appliquant sur une troisième entrée de la porte A1 le signal FED. Les impulsions du signal FED étant d'une durée de 1 etu, elles remettent à zéro le compteur CMPT et l'inhibent pour une durée de 1 etu. Cette durée de 1 etu est la durée des impulsions du signal FED, et correspond à la durée des trous de champ de manière à ne pas faire de distinction entre une modulation à 100% et une modulation à 10%. Les valeurs VAL1, VAL2 et VALC sont donc déterminées de manière à prendre en compte l'arrêt du compteur pendant 1 etu après chaque front descendant, une

valeur de 1 etu devant être déduite des temps T1, T2 et Tch afin de prendre en compte l'arrêt du signal d'horloge.

Les trous de champ selon la norme ISO/IEC 14443-B  
5 correspondant à une modulation à 10% de l'amplitude du champ magnétique, ils n'entraînent pas l'extinction du signal d'horloge. Toutefois, il est avantageux de remettre à zéro le compteur et de l'inhiber au moyen du signal FED pour une durée de 1 etu lors de la détection  
10 du premier front descendant, car on ne sait pas si ce premier front descendant correspond à un début de trame SOF1 ou SOF2. En outre, le comptage des temps T3 et T4 obéit alors aux mêmes règles que le comptage des temps T1, T2 et Tch, une valeur de 1 etu devant être déduite des  
15 temps T3 et T4 afin de prendre en compte l'arrêt du signal d'horloge.

En revenant à la figure 3, la détection par l'unité de décodage DEC20 d'un passage à 1 du signal SOFD1 déclenche dans celle-ci un processus classique de  
20 décodage des bits de données qui suivent le début de trame. De même, la détection par l'unité de décodage DEC21 d'un passage à 1 du signal SOFD2 déclenche dans celle-ci un processus classique de décodage des bits de données qui suivent le début de trame, à commencer par un  
25 bit de start.

Par ailleurs, on a vu dans ce qui précède que le signal SEL qui pilote l'entrée de sélection du multiplexeur MUX est égal au signal SOFD2. Ainsi, le multiplexeur sélectionne par défaut la sortie de l'unité  
30 de décodage DEC20, indépendamment de la valeur du signal SOFD1, et ne sélectionne la sortie de l'unité de décodage DEC21 que si le signal SOFD2 passe à 1.

Dans une variante de réalisation, le multiplexeur pourrait également être contrôlé par un signal SEL égal  
35 au signal SOFD1.

Par ailleurs, le passage à 1 du signal SOFD1 peut être utilisé pour mettre hors tension l'unité de décodage DEC2 et, réciproquement, le passage à 1 du signal SOFD2 peut être utilisé pour mettre hors tension l'unité de décodage DEC1. Dans ce cas, la prévision du multiplexeur peut n'être pas nécessaire, en connectant matériellement les sorties des deux unités de décodage DEC20, DEC21 et en s'assurant que la sortie de chaque unité de décodage est dans un état haute impédance lorsque l'unité de décodage est désactivée.

Ainsi, la sélection selon l'invention d'une unité de décodage peut consister aussi bien dans le fait d'assurer un multiplexage des sorties des unités de décodage au moyen d'un multiplexeur ou d'interrupteurs agencés sur ces sorties, et/ou dans le fait de désactiver l'unité correspondante, ces opérations pouvant être combinées, et/ou dans le fait de prévoir une connexion matérielle des sorties des unités de décodage accompagnée d'une mise à haute impédance de l'une des sorties.

Une variante de réalisation DECC3 du circuit de décodage selon l'invention est illustrée en figure 7. Dans ce mode de réalisation le circuit FIC est supprimé en tant que circuit indépendant partagé par les unités de décodage, et le circuit de décodage ne comprend que deux unités de décodage DEC30, DEC31 et le multiplexeur MUX. Chaque unité de décodage assure elle-même la détection du profil de trame correspondant au protocole qui lui est attribué, l'unité DEC30 assurant par exemple la détection du profil SOF1 et la délivrance du signal SOFD1, l'unité DEC31 assurant la détection du profil SOF2 et la délivrance du signal SOFD2. Comme précédemment, le signal SOFD2 est utilisé ici pour piloter le multiplexeur MUX mais le signal SOFD1 pourrait également être utilisé à cet effet.

Un tel mode de réalisation implique un éclatement du circuit FIC décrit ci-dessus, en deux parties agencées respectivement dans l'unité DEC30 et dans l'unité DEC31. En référence à la figure 4, la partie agencée dans l'unité DEC30 comprend par exemple un premier compteur CMPT et les éléments BT1, LT1, O1, O2, A1, D1 et D2, tandis que la partie agencée dans l'unité DEC31 comprend un deuxième compteur CMPT et les éléments BT2, BT3, A3, A4, O3, D3, LT2 et LT3. Dans ce cas, le signal MODE2  
5 délivré par le verrou LT2 est envoyé à l'unité DEC30.

D'autre part, le signal SOFD1 peut être appliqué à l'unité DEC31 en tant que signal de désactivation (lorsque SOFD1=1) et le signal SOFD2 peut être appliqué à l'unité DEC30 en tant que signal de désactivation  
15 (lorsque SOFD2=1). Le multiplexeur MUX est optionnel si une telle désactivation est accompagnée d'une mise à haute impédance des sorties des unités de décodage.

La présente invention est bien entendu susceptible de diverses autres variantes et modes de réalisation. Notamment, on a considéré dans ce qui précède que le  
20 circuit intégré IC2 comportait un circuit de codage unique CDC commun aux deux modes de fonctionnement. Cela est le cas en pratique lorsque le circuit intégré met en œuvre les protocoles ISO/IEC 15693 et ISO/IEC 14443-B, qui prévoient un codage identique pour la transmission de  
25 données dans le sens circuit intégré vers lecteur. Toutefois, la présente invention est susceptible de s'appliquer à tout autre type de protocoles et le circuit de codage CDC peut, si nécessaire, comprendre deux unités de codage distinctes, sélectionnées au moyen des signaux  
30 SOFD1 et SOFD2.

Il entre également dans le cadre de la présente invention de prévoir un circuit intégré capable d'assurer une communication selon trois protocoles distincts, voire  
35 plus.

Enfin, on a considéré dans ce qui précède, dans un souci de simplification, que le circuit extracteur d'horloge CEC1 délivre un signal d'horloge CK ne dépendant pas du mode de fonctionnement du circuit intégré. Il est avantageux en pratique de prévoir un circuit extracteur d'horloge CEC1 à deux modes de fonctionnement, comportant une entrée de sélection du mode de fonctionnement qui est contrôlée par l'un des signaux SOFD1, SOFD2, SEL/SOFD1 (si SEL=SOFD1) ou encore SEL/SOFD2 comme cela est représenté en figures 3 et 7. Dans ce cas, le circuit CEC1 délivre un signal d'horloge CK0 ou un signal d'horloge CK1 selon le mode de fonctionnement du circuit intégré.

A titre d'exemple, le signal d'horloge CK0 est adapté à l'unité de décodage DEC20, DEC30 et est délivré par défaut avant passage à 1 de l'un des signaux SOFD1, SOFD2. Le signal d'horloge CK1 est délivré quand le signal SOFD2 passe à 1, et est adapté à l'autre unité de décodage DEC21, DEC31.

Dans le cadre du mode de réalisation décrit ci-dessus, la fréquence du signal d'horloge CK0 est par exemple de 13,56/32 MHz soit 423 kHz lorsque le circuit intégré fonctionne conformément au protocole ISO/IEC 15693, et est de 13,56/8 MHz soit 1,69 MHz lorsque le circuit intégré fonctionne conformément au protocole ISO/IEC 14443-B.



## REVENDEICATIONS

1. Circuit intégré sans contact (IC2, IC3) comprenant des moyens d'émission/réception de données par couplage inductif,

caractérisé en ce qu'il comprend des moyens (DECC2, DECC3) pour assurer une communication selon au moins deux protocoles déterminés, et des moyens (FIC, SOFD1, SOFD2) pour basculer automatiquement dans un mode de communication conforme à l'un ou l'autre des protocoles en fonction du profil d'un début de trame (SOF1, SOF2) reçu au commencement d'une communication.

2. Circuit intégré sans contact (IC2, IC3) selon la revendication 1, comprenant :

- une première unité de décodage (DEC20, DEC30) pour décoder des données codées selon un premier protocole,
- au moins une seconde unité de décodage (DEC21, DEC31) pour décoder des données codées selon au moins un second protocole, et
- des moyens (FIC, SOFD1, SOFD2, MUX) de sélection de la première ou de la seconde unité de décodage en fonction du profil d'un début de trame (SOF1, SOF2) reçu au commencement d'une communication.

3. Circuit intégré sans contact (IC2, IC3) selon la revendication 2, comprenant :

- des moyens (DEMC, FED, RED, CMPT, BT1, LT1, A2, O2, D1, D2) de détection d'un début de trame d'un premier type (SOF1) correspondant au premier protocole, agencés pour délivrer un premier signal de détection de début de trame (SOFD1) lorsqu'un début de trame du premier type est détecté, et

- des moyens (DEMC, FED, RED, CMPT, BT3, O3, A4, LT3) de détection d'un début de trame d'un second type (SOF2) correspondant au second protocole, agencés pour délivrer un second signal de détection de début de trame (SOFD2) 5 lorsqu'un début de trame du second type est détecté.

4. Circuit intégré sans contact (IC2, IC3) selon la revendication 3, dans lequel :

- les moyens de détection d'un début de trame du premier 10 type sont agencés pour détecter un premier front de variation (FED1) du signal reçu par couplage inductif, puis détecter dans une première fenêtre temporelle (T1-T2, W1) un second front de variation (FED2) du signal reçu par couplage inductif, et
- 15 - les moyens de détection d'un début de trame du second type sont agencés pour détecter un premier front de variation (FED1) du signal reçu par couplage inductif, puis détecter dans une seconde fenêtre temporelle (T3-T4) un second front de variation du (RED1) du signal reçu par 20 couplage inductif.

5. Circuit intégré sans contact (IC2, IC3) selon la revendication 4, dans lequel :

- les moyens de détection d'un début de trame du premier 25 type sont agencés pour détecter deux fronts de variation (FED1, FED2) d'un même type, et
- les moyens de détection d'un début de trame du second type sont agencés pour détecter un front de variation d'un premier type (FED1) et un front de variation (RED1) 30 d'un second type inverse du premier type.

6. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications 4 et 5, comprenant des moyens (CMPT, BT2, A3, D3, LT2, MODE2, O1, LT1) pour inhiber les 35 moyens de détection d'un début de trame du premier type,

lorsqu'un temps déterminé (Tch) se situant entre la première et la seconde fenêtres temporelles s'est écoulé après apparition d'un premier front de variation (FED1) du signal reçu par couplage inductif.

5

7. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications 3 à 6, comprenant des moyens (I2, A3) pour inhiber les moyens de détection d'un début de trame du second type lorsqu'un début de trame du premier type est détecté.

10

8. Circuit intégré sans contact (IC2) selon l'une des revendications 3 à 7, comprenant un circuit d'identification de début de trame (FIC) commun aux première et seconde unités de décodage (DEC20, DEC21), dans lequel sont agencés les moyens de détection d'un début de trame du premier type et les moyens de détection d'un début de trame du second type.

15

9. Circuit intégré sans contact (IC3) selon l'une des revendications 3 à 7, dans lequel :

20

- la première unité de décodage (DEC30) comprend les moyens pour détecter un début de trame du premier type, et

25

- la seconde unité de décodage (DEC31) comprend les moyens pour détecter un début de trame d'un second type.

10. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications 2 à 9, dans lequel les moyens de sélection comprennent des moyens (SOFD1, SOFD2) de désactivation de la seconde unité de décodage (DEC21, DEC31) ou de désactivation de la première unité de décodage (DEC20, DEC30).

30

11. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications 2 à 10, dans lequel les moyens de sélection comprennent un moyen de multiplexage (MUX) des sorties des unités de décodage (DEC20, DEC21, DEC30, 5 DEC31).

12. Circuit intégré sans contact (IC2, IC3) selon la revendication 11, dans lequel le moyen de multiplexage est agencé pour sélectionner par défaut la sortie de la 10 première unité de décodage (DEC20, DEC30) et pour sélectionner la sortie de la seconde unité de décodage (DEC21, DEC31) lorsqu'un début de trame (SOFD2) correspondant au protocole de la deuxième unité de décodage est reçu.

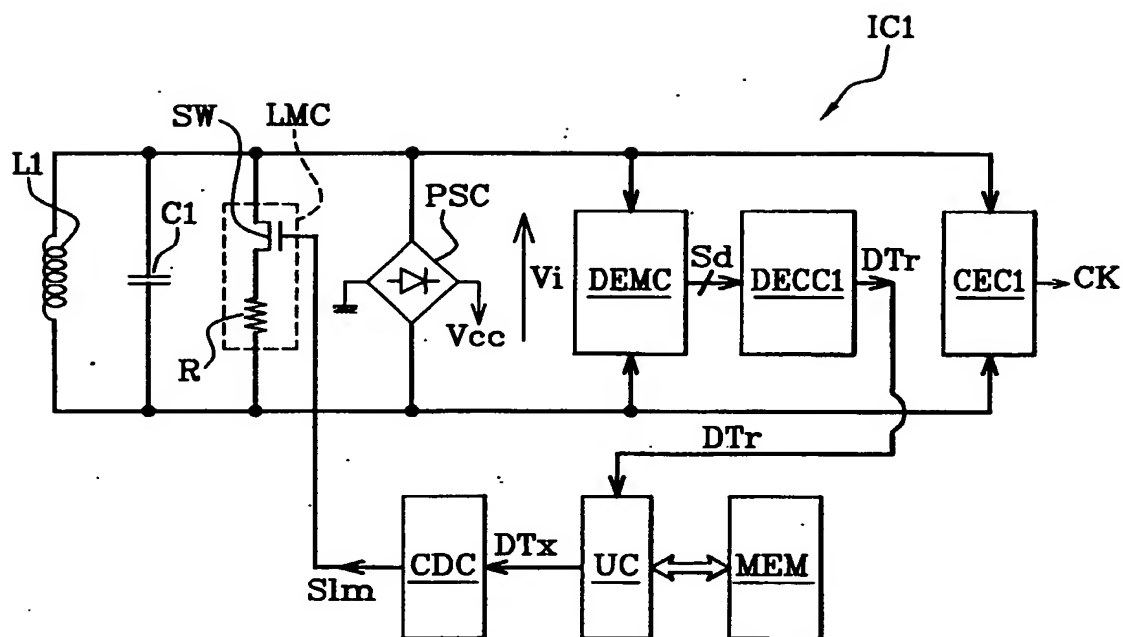
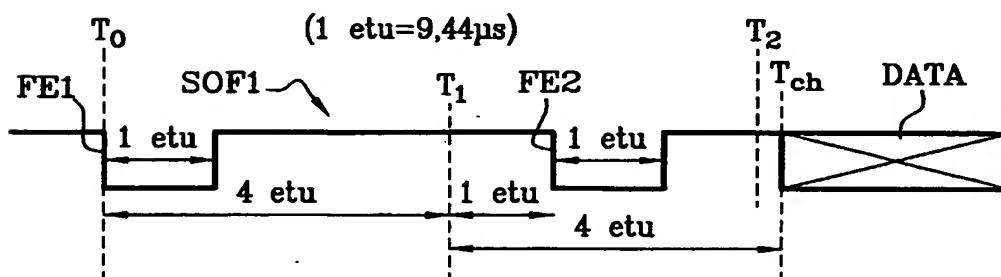
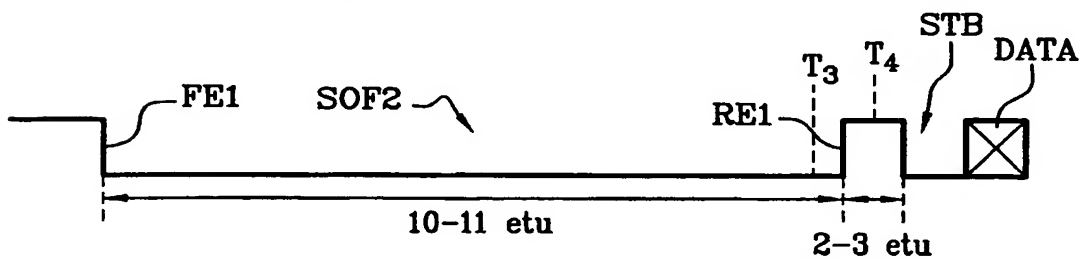
13. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications 11 et 12, dans lequel le moyen de multiplexage comprend une entrée de sélection pilotée par un signal de détection de début de trame (SEL, SOFD1, 20 SOFD2).

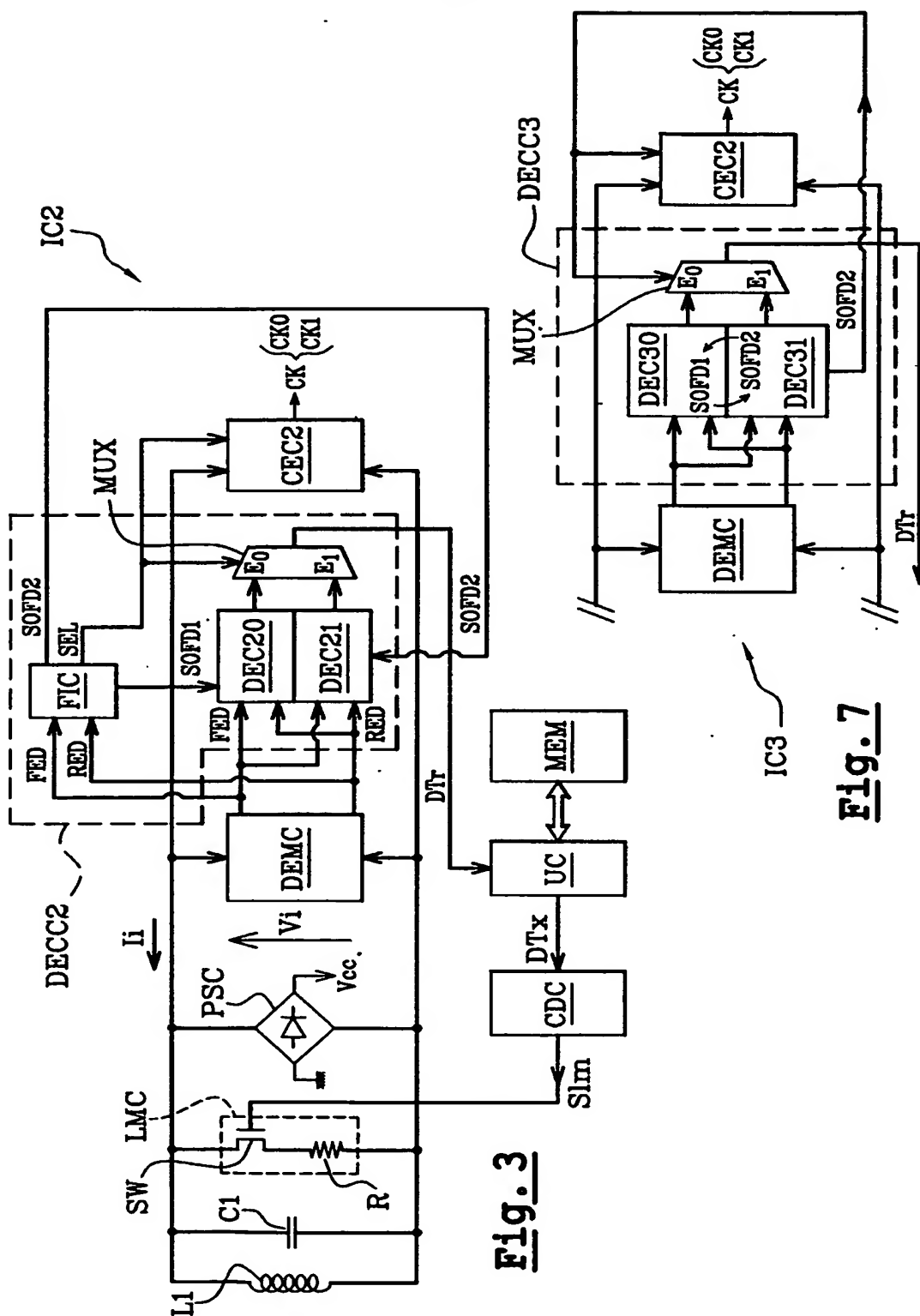
14. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications précédentes, comprenant un circuit extracteur d'horloge (CEC2) agencé pour délivrer 25 un premier signal d'horloge (CK0) de fréquence déterminée lorsque le circuit intégré est dans un mode de communication conforme à un premier protocole, et délivrer un second signal d'horloge (CK1) d'une fréquence différente de celle du premier signal d'horloge, lorsque 30 le circuit intégré est dans un mode de communication conforme à un second protocole.

15. Circuit intégré sans contact (IC2, IC3) selon l'une des revendications précédentes, comprenant des 35 moyens de communication selon au moins le protocole

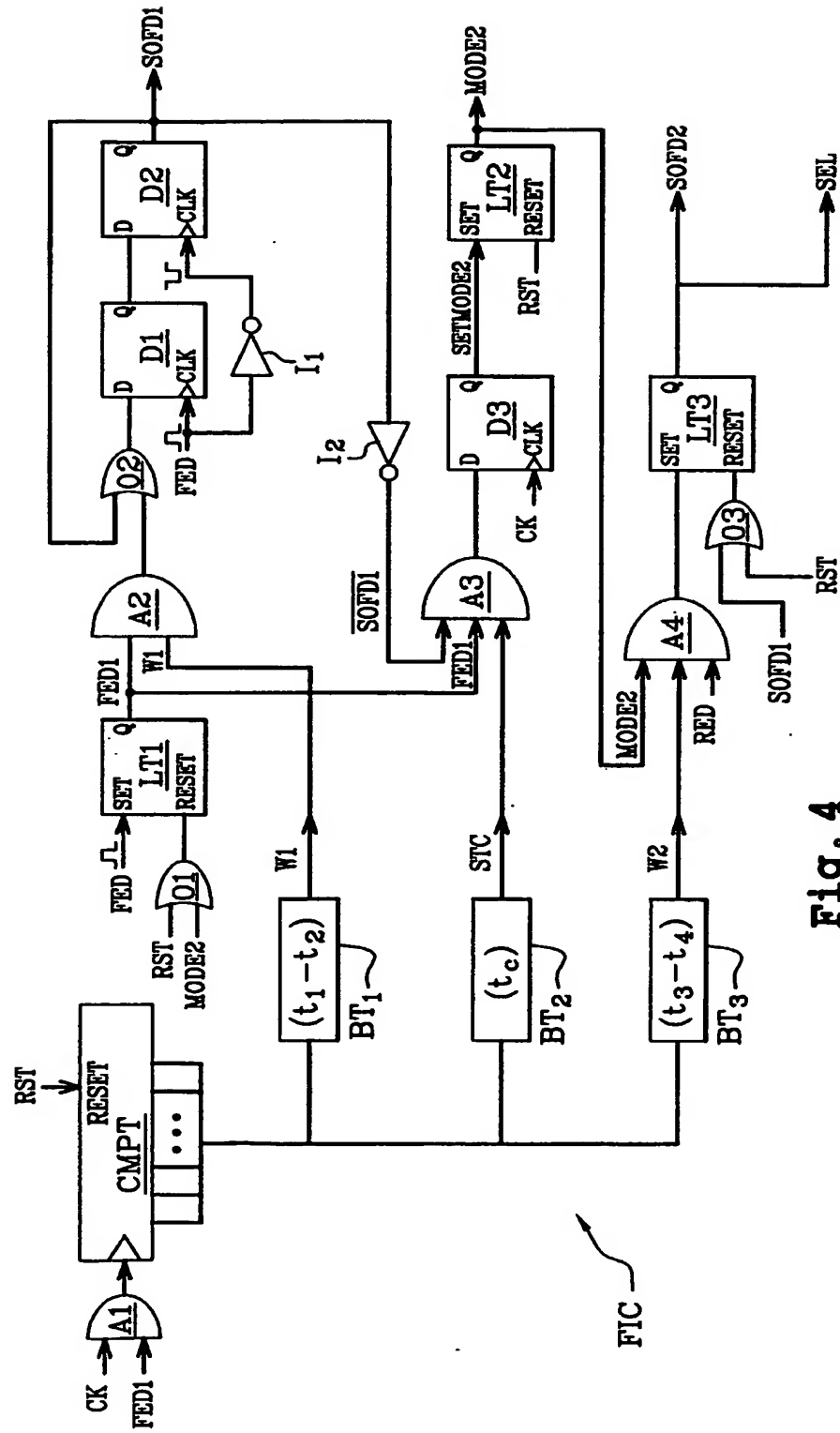
ISO/IEC 15693 et le protocole ISO/IEC 14443-B, et des  
moyens pour basculer automatiquement dans un mode de  
communication conforme à l'un ou l'autre de ces  
protocoles en fonction du profil d'un début de trame reçu  
5 au commencement d'une communication.

1/4

**Fig. 1****Fig. 2A****Fig. 2B**

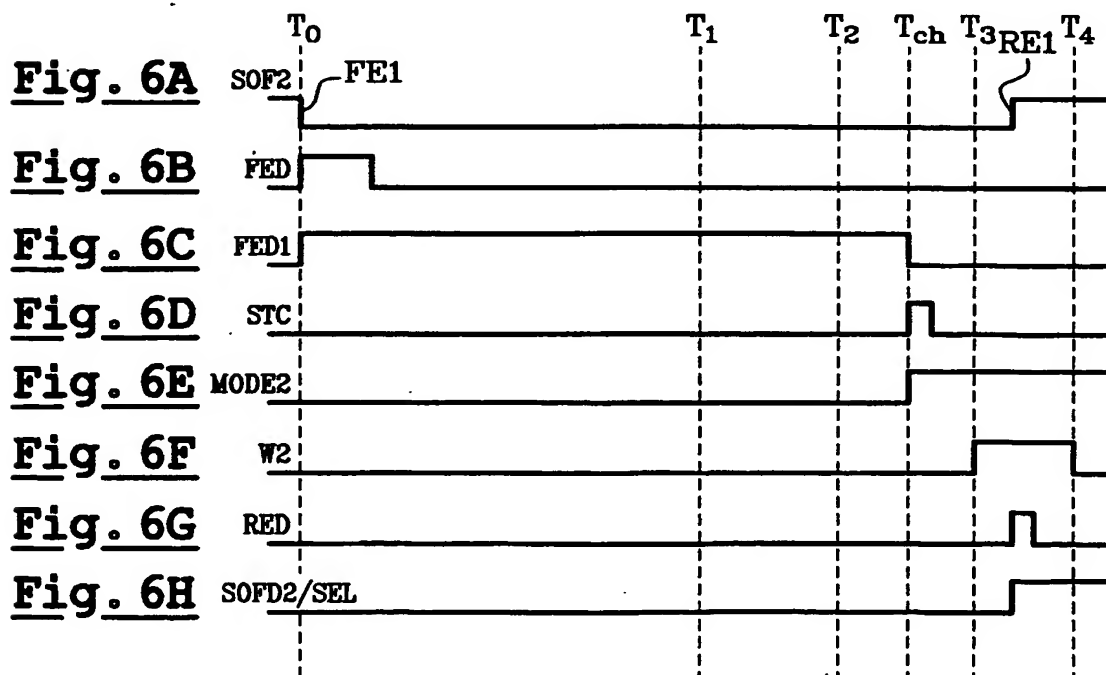
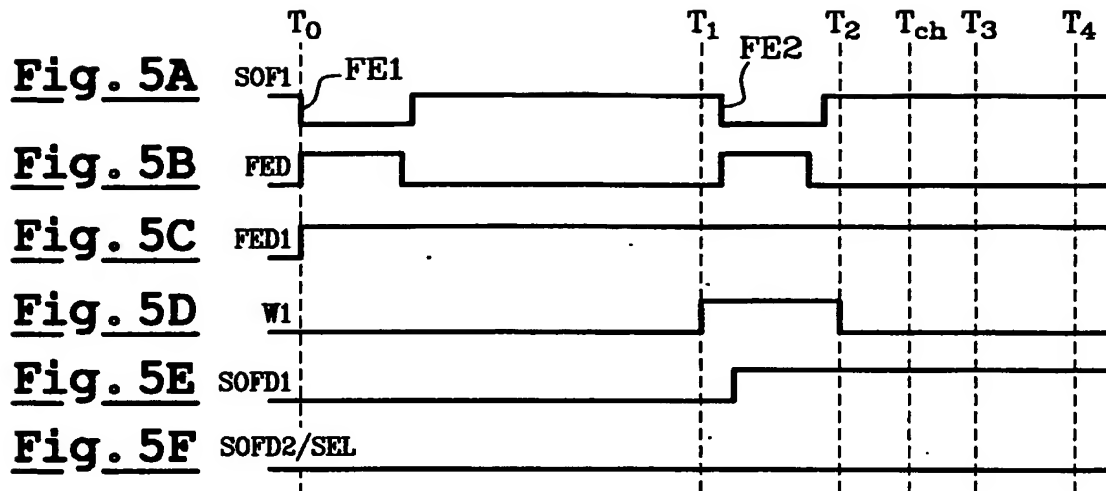


3/4

**Fig. 4**



4 / 4



## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/FR 02/03562

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G06K19/07

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 00 45328 A (KONINKL PHILIPS ELECTRONICS NV) 3 August 2000 (2000-08-03) page 5, line 23 -page 13, line 32 figure 10	1,2
A	FR 2 751 148 A (INSIDE TECHNOLOGIES) 16 January 1998 (1998-01-16) page 8, line 32 -page 10, line 17	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

29 January 2003

Date of mailing of the international search report

06/02/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Goossens, A

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 02/03562

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0045328	A	03-08-2000	CN 1293789 T	02-05-2001
			WO 0045328 A1	03-08-2000
			EP 1064616 A1	03-01-2001
			JP 2002536854 T	29-10-2002
FR 2751148	A	16-01-1998	FR 2751148 A1	16-01-1998
			AU 3347597 A	09-02-1998
			WO 9802840 A1	22-01-1998

# RAPPORT DE RECHERCHE INTERNATIONALE

De... de internationale No  
PCT/FR 02/03562

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 G06K19/07

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 G06K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)  
EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WO 00 45328 A (KONINKL PHILIPS ELECTRONICS NV) 3 août 2000 (2000-08-03) page 5, ligne 23 -page 13, ligne 32 figure 10	1,2
A	FR 2 751 148 A (INSIDE TECHNOLOGIES) 16 janvier 1998 (1998-01-16) page 8, ligne 32 -page 10, ligne 17	1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

### \* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*Z\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

29 janvier 2003

Date d'expédition du présent rapport de recherche internationale


06/02/2003

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Goossens, A

# RAPPORT DE RECHERCHE INTERNATIONALE

De  de Internationale No  
PCT/FR 02/03562

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 0045328	A	03-08-2000	CN 1293789 T	02-05-2001
			WO 0045328 A1	03-08-2000
			EP 1064616 A1	03-01-2001
			JP 2002536854 T	29-10-2002
FR 2751148	A	16-01-1998	FR 2751148 A1	16-01-1998
			AU 3347597 A	09-02-1998
			WO 9802840 A1	22-01-1998